

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Midori Takano

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: August 4, 2003

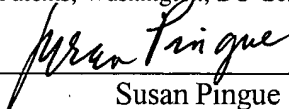
Examiner: Not yet assigned

Title: PHASE INTERPOLATOR AND RECEIVER

EXPRESS MAIL NUMBER: EV 301143882 US

DATE OF DEPOSIT: August 4, 2003

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Box PATENT APPLICATION, Commissioner for Patents; Washington, DC 20231.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2003-86293	March 26, 2003

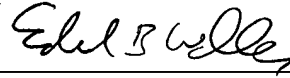
A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: August 4, 2003

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303-2248
Telephone: (650) 833-2436
Facsimile: (650) 320-7401

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application:	March 26, 2003
Application Number:	Patent Application No. 2003-086293
Applicant(s):	KABUSHIKI KAISHA TOSHIBA

June 3, 2003

Commissioner,
Japan Patent Office Shinichiro OTA
Number of Certificate: 2003-3042990

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月26日

出 願 番 号

Application Number:

特願2003-086293

[ST.10/C]:

[JP2003-086293]

出 願 人

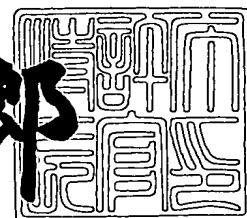
Applicant(s):

株式会社東芝

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042990

【書類名】 特許願

【整理番号】 ASB02Z013

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00
H04L 7/02

【発明の名称】 位相補正回路及び受信装置

【請求項の数】 18

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 高野 みどり

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相補正回路及び受信装置

【特許請求の範囲】

【請求項 1】 送信器より送信されたデータと前記受信器の差動クロックとの位相を補正する回路にて、前記データと前記差動クロックとの位相を調整した差動クロック信号がインテグレータにて前記位相を調整した差動クロック信号のエッジを寝かせた上で出力バッファで増幅されて出力すると共に、デューティ補正回路にてデューティを補正する信号を前記位相が調整された差動クロック信号にフィードバックする構造を持ち、前記位相が調整された差動クロック信号の差分の振幅とデューティを、前記出力バッファでの増幅とデータ読取り回路とでの動作を保証する、インテグレータの容量のコントロール回路を含むことを特徴とする位相補正回路。

【請求項 2】 前記コントロール回路は、前記位相を調整した差動クロック信号と前記差動クロック信号の振幅が、前記出力バッファ回路で増幅可能かどうかの基準電位を満たしているかを判断する第一の比較手段を備え、前記第 1 比較手段の出力は容量とインバータとに接続してある電位に達した際にインバータが変化する構造を持ち、前記インバータの出力は NMOS トランジスタのゲートに接続してスイッチをもって前記インテグレータの容量と前記位相を調整した差動クロック信号との間に介在し、前記 NMOS トランジスタのゲートの "ON", "OFF" のスイッチによって、前記インテグレータの容量を変化させることを特徴とする請求項 1 記載の位相補正回路。

【請求項 3】 前記コントロール回路は、前記位相を調整した差動クロック信号と前記差動クロック信号の振幅が、前記出力バッファ回路で増幅可能かどうかの基準電位を満たしているかを判断する第二の比較手段と、前記位相を調整した差動クロック信号よりクロックを造り出す第三の比較手段とを備え、前記第二の比較手段の出力は第一のフリップフロップのデータ入力に接続し、前記第三の比較手段の出力は遅延回路に接続して遅らされたクロックを造り出し前記第一のフリップフロップのクロック入力に接続して前記第二比較手段の出力を叩いて出力信号を第二のフリップフロップのデータ入力と NAND 入力の一つに接続し、

一方、前記遅延回路より遅らされたクロックは第一のインバータで反転されたクロックとして前記第二のフリップフロップのクロックの入力に接続し、前記第一のフリップフロップの出力を叩いて前記NAND入力のもう一方に接続し、前記NANDの出力はNMOSトランジスタのゲートに接続してスイッチをもって前記インテグレータの容量と前記位相を調整した差動クロック信号との間に介在し、前記位相を調整した差動クロック信号の差分電位が連続して基準電位より小さくなっている間、前記NMOSトランジスタのゲートの”OFF”のスイッチとして働くことによって、前記インテグレータの容量を変化させることを特徴とした、請求項1記載の位相補正回路。

【請求項4】 前記第一の比較手段、前記第二の比較手段、前記第三の比較手段は、プラス、マイナス、参照の三つの入力を持つ第四の比較手段とプラス、マイナス、参照の三つの入力を持つ第五の比較手段と排他的論理和とを備え、前記第四の比較手段は第一の入力信号をプラス側に、第二の入力信号をマイナス側に、第三の入力信号を参照に接続し、前記第五の比較手段は、前記第二の入力信号をプラス側に、前記第一の入力信号をマイナス側に、前記第三の入力信号を参照に接続し、前記第四の比較手段の出力信号と前記第五の比較手段の出力信号は前記排他的論理和の入力に接続することを特徴とする請求項2または3のいずれか一項に記載の位相補正回路。

【請求項5】 前記第四の比較手段と前記第五の比較手段は、第六の比較手段と第七の比較手段とインバータを備え、前記第六の比較手段は第三の入力信号をプラス側に、第四の入力信号をマイナス側に接続して比較信号を出力し前記第七の比較手段のプラス側に接続し、前記第七の比較手段のマイナス側に第六の入力信号を参照として接続し、前記第七の比較手段の出力信号はインバータの入力に接続することを特徴とする請求項4記載の位相補正回路。

【請求項6】 前記コントロール回路は、
インテグレータに接続する信号を参照し、振幅が規定値より下がらないようにインテグレータの容量をコントロールするかを判断するための回路を含むことを特徴とする請求項1記載の位相補正回路。

【請求項7】 送信器より送信されたデータと前記受信器の差動クロックと

の位相を補正する位相補正回路において、

前記データと前記差動クロックとの位相を調整した差動クロック信号がインテグレータにて前記位相を調整した差動クロック信号のエッジを寝かせた上で出力バッファで増幅されて出力すると共に、デューティ補正回路にてデューティを補正する信号を前記位相が調整された差動クロック信号にフィードバックする構造を持ち、前記位相が調整された差動クロック信号の差分の振幅とデューティを、前記出力バッファでの増幅とデータ読取り回路とでの動作を保証する、インテグレータの容量のコントロール回路を含み、

前記コントロール回路は、前記位相を調整した差動クロック信号と前記差動クロック信号の振幅が、前記出力バッファ回路で増幅可能かどうかの基準電位を満たしているかを判断する第1のオペアンプを備え、前記第一オペアンプの出力は容量とインバータとに接続してある電位に達した際にインバータが変化する構造を持ち、前記インバータの出力はNMOSトランジスタのゲートに接続してスイッチをもって前記インテグレータの容量と前記位相を調整した差動クロック信号との間に介在し、前記NMOSトランジスタのゲートの"ON", "OFF"のスイッチによって前記インテグレータの容量を変化させ、

前記第一のオペアンプは、プラス、マイナス、参照の3つの入力を持つ第2のオペアンプと第3のオペアンプと排他的論理和とを備え、前記第二のオペアンプは前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に、参照を参照に接続し、前記第三のオペアンプは、前記第二のオペアンプのマイナス側に接続した信号をプラス側に、前記第二のオペアンプのプラス側に接続した信号をマイナス側に、前記参照を参照に接続し、前記第二のオペアンプの出力信号と前記第三のオペアンプの出力信号は前記排他的論理和の入力に接続し、

前記第二のオペアンプと前記第三のオペアンプは、第四のオペアンプと第五のオペアンプとインバータを備え、前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に接続して比較信号を出力し前記第五のオペアンプのプラス側に接続し、前記第五のオペアンプのマイナス側に前記参照を参照に接続し、前記第五のオペアンプの出力信号はインバータの入力

に接続することを特徴とする位相補正回路。

【請求項 8】 高速データ転送を行う送受信器の受信器において、送信器より送信されたデータと前記受信器の差動クロックとの位相を補正する回路にて、前記データと前記差動クロックとの位相を調整した差動クロック信号がインテグレータにて前記位相を調整した差動クロック信号のエッジを寝かせた上で出力バッファで増幅されて出力すると共に、デューティ補正回路にてデューティを補正する信号を前記位相が調整された差動クロック信号にフィードバックする構造を持ち、前記位相が調整された差動クロック信号の差分の振幅とデューティを、前記出力バッファでの増幅とデータ読取り回路とでの動作を保証する、インテグレータの容量のコントロール回路を含み、

前記コントロール回路は、前記位相を調整した差動クロック信号と前記差動クロック信号の振幅が、前記出力バッファ回路で増幅可能かどうかの基準電位を満たしているかを判断する第六のオペアンプと、前記位相を調整した差動クロック信号よりクロックを造り出す第七のオペアンプとを備え、前記第六のオペアンプの出力は第三のフリップフロップのデータ入力に接続し、前記第七のオペアンプの出力は遅延回路に接続して遅らされたクロックを造り出し前記第三のフリップフロップのクロック入力に接続して前記第二比較手段の出力を叩いて出力信号を第四のフリップフロップのデータ入力と NAND 入力の一つに接続し、一方、前記遅延回路より遅らされたクロックは第二のインバータで反転されたクロックとして前記第四のフリップフロップのクロックの入力に接続し、前記第三のフリップフロップの出力を叩いて前記 NAND 入力のもう一方に接続し、前記 NAND の出力は NMOS トランジスタのゲートに接続してスイッチをもって前記インテグレータの容量と前記位相を調整した差動クロック信号との間に介在し、前記位相を調整した差動クロック信号の差分電位が連続して基準電位より小さくなっている間、前記 NMOS トランジスタのゲートの "OFF" のスイッチとして働くことによって、前記インテグレータの容量を変化させ、

前記第六のオペアンプと前記第七のオペアンプは、プラス、マイナス、参照の三つの入力を持つ第八のオペアンプと第九のオペアンプと排他的論理和とを備え、前記第八のオペアンプは前記差動クロックの一方の信号をプラス側に、前記差

動クロックのもう一方の信号をマイナス側に、参照信号を参照に接続し、前記第九のオペアンプは、前記第八のオペアンプのマイナス側に接続した信号をプラス側に、前記第八のオペアンプのプラス側に接続した信号をマイナス側に、前記参照信号を参照に接続し、前記第八のオペアンプの出力信号と前記第九のオペアンプの出力信号は前記排他的論理和の入力に接続し、

前記第八のオペアンプと前記第九のオペアンプは、第十のオペアンプと第十一のオペアンプとインバータを備え、前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に接続して比較信号を出力し、前記第十一のオペアンプのプラス側に接続し、前記第十一のオペアンプのマイナス側に前記参照信号を参照に接続し、前記第十一のオペアンプの出力信号はインバータの入力に接続することを特徴とする位相補正回路。

【請求項 9】 データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータと、

前記インテグレータに出力された信号を増幅する出力バッファと、

前記出力バッファにて増幅された信号を入力し、その信号の位相を調整して前記出力バッファにフィードバックして出力するデューティ補正回路と、

前記差動クロック信号の差分の振幅が所定の量以下になった場合には、前記インテグレータが行う前記差動クロック信号の変形量を制御するコントロール回路と、

を有することを特徴とする位相補正回路。

【請求項 10】 前記コントロール回路は、

前記差動クロック信号と第一の参照信号を入力し、前記差動クロック信号の差分と前記第一参照信号とを比較し、前記差分が小さい場合には第一の検知信号を出力する第一の比較部と、

前記第一の検知信号を入力し、その信号を反転して出力する第一の否定論理回路と、

を有することを特徴とする請求項 9 記載の位相補正回路。

【請求項 11】 前記コントロール回路は、

前記第一の検知信号の電荷を保持する第一の容量を有し、

前記第一の否定論理回路は、前記第一の比較部の出力ノードが所定の電位に達した際に動作することを特徴とする請求項 1 0 記載の位相補正回路。

【請求項 1 2】 前記インテグレータは、
第二の容量と、

前記第二の容量に接続され、前記第一の否定論理回路の出力に基づいて前記第二の容量を制御するスイッチング回路と、

を有することを特徴とする請求項 1 1 記載の位相補正回路。

【請求項 1 3】 前記スイッチング回路は、トランジスタであり、
前記インテグレータは、前記トランジスタのドレインに接続される第三の容量をさらに有することを特徴とする請求項 1 2 記載の位相補正回路。

【請求項 1 4】 前記コントロール回路は、
前記差動クロック信号と第二の参照信号を入力し、前記差動クロック信号の差分と前記第二の参照信号とを比較し、前記差分が小さい場合には第二の検知信号を出力する第二の比較部と、
前記差動クロック信号を用いてクロックを発生する第三の比較部と、
前記第三の比較部の出力を遅延して出力する遅延回路と、
前記第二の比較部の出力、及び、クロックとして前記遅延回路の出力を入力し、前記第二比較部の出力を所定のタイミングで出力する第一のフリップフロップと、
前記遅延回路の出力を入力し、この信号を反転して出力する第二の否定論理回路と、

前記第一のフリップフロップの出力、及び、クロックとして前記第二の否定論理回路の出力を入力し、前記第一のフリップフロップを所定のタイミングにて出力する前記第二のフリップフロップと、

前記第一のフリップフロップの出力及び前記第二のフリップフロップの出力を入力し、これら信号の否定論理積を出力する否定論理積回路と、

を有することを特徴とする請求項 9 記載の位相補正回路。

【請求項 1 5】 前記第一の比較部、前記第二の比較部、前記第三の比較部のうち、少なくとも一つは、

前記差動クロック信号の第一の信号に係る第一の電圧及び第二の信号に係る第二の電圧、並びに参照信号に係る参照電圧を入力し、前記第一の電圧から第二の電圧を引いた電圧と参照電圧とを比較する第四の比較部と、

前記第一の電圧、前記第二の電圧、及び前記参照電圧を入力し、前記第二の電圧から前記第二の電圧を引いた電圧と参照電圧とを比較する第五の比較部と、

前記第四の比較部の出力及び前記第五の比較部の出力を入力し、これら出力信号の排他的論理和を出力する排他的論理和回路と、

を有することを特徴とする請求項 1 0 乃至 1 4 のいずれか一項に記載の位相補正回路。

【請求項 1 6】 前記第四の比較部、前記第五の比較部のうち、少なくとも一つは、

前記第一の電圧及び前記第二の電圧を入力して、前記第一の電圧から前記第二の電圧を引いた電圧を出力する第六の比較部と、

前記第六の比較部の出力する電圧及び前記参照電圧を入力し、前記第六の比較部の出力電圧から前記参照電圧を引いた電圧を出力する第七の比較部と、

前記第七の比較部の出力を反転して出力する第二の否定論理回路と、

を備えることを特徴とする請求項 1 5 記載の位相補正回路。

【請求項 1 7】 入力した信号を電流値に変換して出力する電流 D A コンバータと、

前記電流 D A コンバータの出力及びクロックを入力し、前記電流 D A コンバータの出力に基づいて前記クロックの位相をシフトして差動クロックを出力するミキサと、

データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータと、

前記インテグレータに出力された信号を増幅する出力バッファと、

前記出力バッファにて増幅された信号を入力し、その信号の位相を調整して前記出力バッファにフィードバックして出力するデューティ補正回路と、

前記差動クロック信号の差分の振幅が所定の量以下になった場合には、前記インテグレータが行う前記差動クロック信号の変形量を制御するコントロール回路

と、

を有することを特徴とする位相補正回路。

【請求項 1 8】 入力した信号を電流値に変換して出力する電流 D A コンバータコントローラと、

前記電流 D A コンバータの出力及びクロックを入力し、前記電流 D A コンバータコントローラの出力に基づいて前記クロックの位相をシフトして差動クロックを出力するミキサと、

データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータと、

前記インテグレータに出力された信号を増幅する出力バッファと、

前記出力バッファにて増幅された信号を入力し、その信号の位相を調整して前記出力バッファにフィードバックして出力するデューティ補正回路と、

前記差動クロック信号の差分の振幅が所定の量以下になった場合には、前記インテグレータの容量を制御するコントロール回路と、を含む位相補正回路と、

前記出力バッファから出力された信号を用いてデータを読取るデータ読取り装置と、

を有することを特徴とする受信回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、位相補正回路及び受信回路に関し、特に、データ転送の際、データとのクロック位相の調整を行う位相補正回路及び受信回路に関する。

【0 0 0 2】

【従来の技術】

図 1 1 は、高速入出力装置（高速 I / O 装置とも記す）を示すブロック図である。送信装置 4 は、入力されたパラレルデータ 1 をシリアルデータ 2 に変換する。ここで、本明細書においてシリアルデータとは、CML（Current Mode Logic）による差動ペアの信号である。変換されたシリアルデータ 2 は受信装置 5 へ送信される。受信装置 5 は、シリアルデータ 2 を入力してパラ

レルデータ3に変換する。これらのパラレルデータをシリアルデータに変換するシリアル化、及び、シリアルデータをパラレルデータに変換するデシリアル化（Serial/Deserial）は、クロック同期で行われる。送信装置4から送られてきたシリアルデータ2は受信装置4のクロックとは同期していない。従って、受信器5内においてはシリアルデータ2を正しく読取るためにクロックとの同期を取る必要があり、このためシリアルデータ2とのクロック位相を合わせる必要がある。クロック位相を合わせる機能を実現するには、位相補正回路（Phase Interpolator、PIとも記す）と、データ読取り回路と、が用いられる。

【0003】

図12は、データ読取り回路が入力するシリアルデータ2'と位相補正回路がデータ読取り回路へ出力する4相クロックを示すタイミングチャートである。シリアルデータ2'の中央を4相クロックのReclock__InIP（positive=0）91とReclock__InIN（negative=p）93とで打ち抜くことによって正しくデータ読取りが可能となる。このシリアルデータ2'を打ち抜くクロックがずれるとデータが正しく読み取れず、受信器の誤動作の原因となる。

【0004】

ここで、Reclock__InIP91とReclock__InIN93はペアである。またこれらと90度ずれるReclock__InQPとReclock__InQNとは別のペアである。

【0005】

図13は、クロックReclock__InIP91とクロックReclock__InIN93のデューティ比（Duty ratio）が50:50からずれてしまった場合のタイミングチャートである。ノイズ等を原因として、このデューティ比がずれてしまう場合がある。クロックReclock__InIP91はデータ中央で打ち抜いているが、クロックReclock__InIN93はデューティがずれたために、データ遷移の起きている場所で打ち抜いており、正しくデータが打ちぬけていないとは限らない。

【0006】

図14は、位相補正回路の出力回路を示す概略図である。ミキサ52より出力された信号線61の信号はインテグレータ62で信号を寝かされ、出力バッファ63に送られる。出力バッファ63で増幅された出力信号65は、一方の信号を図示しないデータ読取り回路に送られ、もう一方の信号をデューティ補正回路（Duty Circle Correction Circuit）64に送り、デューティ補正を行われ、デューティ補正の信号が信号61にフィードバックされる。このデューティ補正回路64により、デューティは補正することができる。

【0007】

【発明が解決しようとする課題】

しかしながら、従来の位相補正回路においては、周辺回路の動作により、寄生容量、カップリング容量のために信号61の電位が変動してしまうことがある。

【0008】

図15は、電位変動の起きた信号61の様子を示す図表である。信号61'のように信号の正／負（Positive／Negative）の電位が揺らぐとCMLのため相反する方向に動き、振幅が小さくなってしまいう箇所ができる。これが出力バッファ63で増幅しきれずデータ読取り回路でクロックとして認識されない場合が出てくる。また、電位が変動してしまったためにデューティも崩れてしまう。これによって、データ読取り回路のデータ読取りが正しく行われないう問題点があった。

【0009】

本発明は上記事情に鑑みて成されたものであり、その目的とするところは、データ転送の際、データとのクロック位相の調整にて動作保証可能な位相補正回路及び受信回路を提供することにある。

【0010】

【課題を解決するための手段】

本願発明の一態様によれば、送信器より送信されたデータと、前記受信器の差動クロックとの位相を補正する回路にて、前記データと前記差動クロックとの位

相を調整した差動クロック信号がインテグレータにて前記位相を調整した差動クロック信号のエッジを寝かせた上で出力バッファで増幅されて出力すると共に、デューティ補正回路にてデューティを補正する信号を前記位相が調整された差動クロック信号にフィードバックする構造を持ち、前記位相が調整された差動クロック信号の差分の振幅とデューティを、前記出力バッファでの増幅とデータ読取り回路とでの動作を保証する、インテグレータの容量のコントロール回路を含むことを特徴とする位相補正回路が提供される。

【0011】

また、本願発明の一態様によれば、送信器より送信されたデータと前記受信器の差動クロックとの位相を補正する位相補正回路において、前記データと前記差動クロックとの位相を調整した差動クロック信号がインテグレータにて前記位相を調整した差動クロック信号のエッジを寝かせた上で出力バッファで増幅されて出力すると共に、デューティ補正回路にてデューティを補正する信号を前記位相が調整された差動クロック信号にフィードバックする構造を持ち、前記位相が調整された差動クロック信号の差分の振幅とデューティを、前記出力バッファでの増幅とデータ読取り回路とでの動作を保証する、インテグレータの容量のコントロール回路を含み、前記コントロール回路は、前記位相を調整した差動クロック信号と前記差動クロック信号の振幅が、前記出力バッファ回路で増幅可能かどうかの基準電位を満たしているかを判断する第1のオペアンプを備え、前記第一オペアンプの出力は容量とインバータとに接続してある電位に達した際にインバータが変化する構造を持ち、前記インバータの出力はNMOSトランジスタのゲートに接続してスイッチをもって前記インテグレータの容量と前記位相を調整した差動クロック信号との間に介在し、前記NMOSトランジスタのゲートの"ON", "OFF"のスイッチによって前記インテグレータの容量を変化させ、前記第一のオペアンプは、プラス、マイナス、参照の3つの入力を持つ第2のオペアンプと第3のオペアンプと排他的論理和とを備え、前記第二のオペアンプは前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に、参照を参照に接続し、前記第三のオペアンプは、前記第二のオペアンプのマイナス側に接続した信号をプラス側に、前記第二のオペアンプのプラ

ス側に接続した信号をマイナス側に、前記参照を参照に接続し、前記第二のオペアンプの出力信号と前記第三のオペアンプの出力信号は前記排他的論理和の入力に接続し、前記第二のオペアンプと前記第三のオペアンプは、第四のオペアンプと第五のオペアンプとインバータを備え、前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に接続して比較信号を出力し前記第五のオペアンプのプラス側に接続し、前記第五のオペアンプのマイナス側に前記参照を参照に接続し、前記第五のオペアンプの出力信号はインバータの入力に接続することを特徴とする位相補正回路が提供される。

【 0 0 1 2 】

また、本願発明の一態様によれば、高速データ転送を行う送受信器の受信器において、送信器より送信されたデータと前記受信器の差動クロックとの位相を補正する回路にて、前記データと前記差動クロックとの位相を調整した差動クロック信号がインテグレータにて前記位相を調整した差動クロック信号のエッジを寝かせた上で出力バッファで増幅されて出力すると共に、デューティ補正回路にてデューティを補正する信号を前記位相が調整された差動クロック信号にフィードバックする構造を持ち、前記位相が調整された差動クロック信号の差分の振幅とデューティを、前記出力バッファでの増幅とデータ読取り回路とでの動作を保証する、インテグレータの容量のコントロール回路を含み、前記コントロール回路は、前記位相を調整した差動クロック信号と前記差動クロック信号の振幅が、前記出力バッファ回路で増幅可能かどうかの基準電位を満たしているかを判断する第六のオペアンプと、前記位相を調整した差動クロック信号よりクロックを造り出す第七のオペアンプとを備え、前記第六のオペアンプの出力は第三のフリップフロップのデータ入力に接続し、前記第七のオペアンプの出力は遅延回路に接続して遅らされたクロックを造り出し前記第三のフリップフロップのクロック入力に接続して前記第二比較手段の出力を叩いて出力信号を第四のフリップフロップのデータ入力とNAND入力の一つに接続し、一方、前記遅延回路より遅らされたクロックは第二のインバータで反転されたクロックとして前記第四のフリップフロップのクロックの入力に接続し、前記第三のフリップフロップの出力を叩いて前記NAND入力のもう一方に接続し、前記NANDの出力はNMOSトラン

ジスタのゲートに接続してスイッチをもって前記インテグレータの容量と前記位相を調整した差動クロック信号との間に介在し、前記位相を調整した差動クロック信号の差分電位が連続して基準電位より小さくなっている間、前記NMOSトランジスタのゲートの”OFF”のスイッチとして働くことによって、前記インテグレータの容量を変化させ、前記第六のオペアンプと前記第七のオペアンプは、プラス、マイナス、参照の三つの入力を持つ第八のオペアンプと第九のオペアンプと排他的論理和とを備え、前記第八のオペアンプは前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に、参照信号を参照に接続し、前記第九のオペアンプは、前記第八のオペアンプのマイナス側に接続した信号をプラス側に、前記第八のオペアンプのプラス側に接続した信号をマイナス側に、前記参照信号を参照に接続し、前記第八のオペアンプの出力信号と前記第九のオペアンプの出力信号は前記排他的論理和の入力に接続し、

前記第八のオペアンプと前記第九のオペアンプは、第十のオペアンプと第十一のオペアンプとインバータを備え、前記差動クロックの一方の信号をプラス側に、前記差動クロックのもう一方の信号をマイナス側に接続して比較信号を出力し前記第十一のオペアンプのプラス側に接続し、前記第十一のオペアンプのマイナス側に前記参照信号を参照に接続し、前記第十一のオペアンプの出力信号はインバータの入力に接続することを特徴とする位相補正回路が提供される。

【 0 0 1 3 】

また、本願発明の一態様によれば、データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータと、前記インテグレータに出力された信号を増幅する出力バッファと、前記出力バッファにて増幅された信号を入力し、その信号の位相を調整して前記出力バッファにフィードバックして出力するデューティ補正回路と、前記差動クロック信号の差分の振幅が所定の量以下になった場合には、前記インテグレータが行う前記差動クロック信号の変形量を制御するコントロール回路と、を有することを特徴とする位相補正回路が提供される。

【 0 0 1 4 】

また、本願発明の一態様によれば、入力した信号を電流値に変換して出力する

電流DAコンバータと、前記電流DAコンバータの出力及びクロックを入力し、前記電流DAコンバータの出力に基づいて前記クロックの位相をシフトして差動クロックを出力するミキサと、データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータと、前記インテグレータに出力された信号を増幅する出力バッファと、前記出力バッファにて増幅された信号を入力し、その信号の位相を調整して前記出力バッファにフィードバックして出力するデューティ補正回路と、前記差動クロック信号の差分の振幅が所定の量以下になった場合には、前記インテグレータが行う前記差動クロック信号の変形量を制御するコントロール回路と、を有することを特徴とする位相補正回路が提供される。

【0015】

また、本願発明の一態様によれば、入力した信号を電流値に変換して出力する電流DAコンバータコントローラと、前記電流DAコンバータの出力及びクロックを入力し、前記電流DAコンバータコントローラの出力に基づいて前記クロックの位相をシフトして差動クロックを出力するミキサと、データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータと、前記インテグレータに出力された信号を増幅する出力バッファと、前記出力バッファにて増幅された信号を入力し、その信号の位相を調整して前記出力バッファにフィードバックして出力するデューティ補正回路と、前記差動クロック信号の差分の振幅が所定の量以下になった場合には、前記インテグレータの容量を制御するコントロール回路と、を含む位相補正回路と、前記出力バッファから出力された信号を用いてデータを読取るデータ読取り装置と、

を有することを特徴とする受信回路が提供される。

【0016】

【発明の実施の形態】

本発明に係る位相補正回路及び受信装置の実施形態について、図面を参照しながら詳細に説明する。

【0017】

図1は、本発明に係る受信装置のブロック図である。この受信装置は、データ

読取り回路6と、位相補正回路7と、を有する。位相補正回路7は、4相(0, $\pi/2$, π , $3\pi/2$)の入力クロック8 (Clock_In, CML)が入力され、シリアルデータ2'と位相を合わせた4相クロック9 (Reclock_In)を出力する。一方、シリアルデータ2'が図示しない送信器より送られ、データ読取り回路6にてクロック9でシリアルデータ2'を読取ると同時にクロックとデータとの位相情報信号10 (Up/Dn)を位相補正回路7に送り、受信器内のクロックと同期したデータ11をデータと位相があったクロック9'と共に以降の処理の回路に送り出す。

【0018】

図2は、本実施形態の位相補正回路7の概略図である。この位相補正回路は、入力した信号を電流値に変換して出力する電流DAコンバータコントローラ51と、電流DAコンバータコントローラ51の出力及びクロック8を入力し、電流DAコンバータコントローラ51の出力56に基づいてクロック8の位相をシフトして差動クロックを出力するミキサ52と、このミキサの出力を入力する出力回路53と、を有する。

【0019】

図示しないデータ読取り回路6からの位相情報信号10が電流DAC (Digital Analog Converter) コントローラ (IDACコントローラとも記す) 51により、Up/Dnの電流値に変換され、電流信号56となる。また、4相入力クロック8がミキサ52に送られ、ここで電流信号56と混合されて位相をシフトし、出力回路53に送られる。

【0020】

図3は、本実施形態の出力回路53を示す図である。出力回路53は、データとの位相が調整された差動クロック信号61を入力し、この差動クロック信号61を変形して出力するインテグレータ62と、インテグレータ62に出力された信号を増幅する出力バッファ63と、出力バッファ63にて増幅された信号を入力し、その信号の位相を調整して出力バッファ63にフィードバックして出力するデューティ補正回路64と、差動クロック信号の差分の振幅が所定の量以下になった場合には、インテグレータ62が行う差動クロック信号の変形量を制御す

るコントロール回路71と、を有する。コントローラ71は、ミキサ52より出力された信号61の電位をチェックし、出力バッファ63で増幅できる電位レベルか否かを判断してインテグレータ62の容量を変化させる。インテグレータ62は位相挿入で位相シフトの影響を低減するために、信号波形を寝かせるようにしている。具体的には、スリュー（Slew）を持たせた波形にする。容量を変化させることによって、クロックエッジの立ち上がり速度をコントロールして出力バッファ63で増幅できるレベルの電位までクロックの振幅を回復させることができる。なお、1つの出力回路53は、上記4相クロックのうち、片方の差動クロックペアの2つクロックを取り扱う。PI7の内部に0度と180度の差動クロックペアと90度と270度の差動クロックペアと2系統分有する。つまり、出力回路53、ミキサ52、及びIDACコントローラを含むPI7は、0度と180度差動クロックペア用と90度と270度差動クロックペア用と2つを有する。従って、一方のクロックペアでのみ説明は行うが別系統のクロックも同様に回路を有している。

【0021】

図4は、本発明実施形態のコントローラ71とインテグレータ62の第1の実施形態を示す回路図である。このコントローラ71は、オペアンプ21と、容量12と、否定論理回路（インバータとも記す）13と、を有する。また、インテグレータ62は、一方の差動クロック信号61aに接続されるNMOSトランジスタ14aと、NMOSトランジスタ14aに接続される容量15aと、他方の差動クロック信号61bに接続されるNMOSトランジスタ14bと、NMOSトランジスタ14bに接続される容量15bと、を有する。オペアンプ21は信号ポジティブ（正）信号61aの信号Integp及びネガティブ（負）信号61b（CMLのため、反転信号となっている）の信号Integnとの差分を取る。そして、オペアンプ21は、その差分の電位と参照信号17の信号Vrefと比較する。差分の電位が信号Vrefをよりも小さい場合には検知信号を出力する。ここで、容量12を設けることで、すぐにはインバータ13を変化させないようにすることができる。すなわち、オペアンプの出力は、差分の電位が信号Vrefよりも小さい場合を何度か繰り返すと、配線18の電位はインバータ1

3の閾値を超えて配線19の信号がオフ(off)となる。これにより、NMOSトランジスタ14a, 14bをオフにし、インテグレータ62の容量15a, 15bを外す。この結果として、容量が軽くなるのでクロックエッジの立ち上がり速度は早くなり、クロックの振幅を回復させることができる。ここで、容量とは、電荷を蓄える機能を有するものであり、配線負荷容量や入力端子容量も含まれる。

【0022】

本実施形態では、容量12に所定の量の電荷が溜まるようにしたが、これに限られず、例えば、容量12を設けなくても良い。この場合には、1回の検知信号で、配線18の電位はインバータ13の閾値を超えて配線19の信号がオフ(off)となるにすればよい。このように、差分の電位がVrefよりも小さくなる回数が1回または少ない場合でも信号を反転させたい場合には、容量を取り除く、若しくは少ない容量のものにすればよい。一方、差分の電位がVrefよりも小さくなる回数が多く発生した場合に信号を反転させたい場合には、容量を大きいものにすればよい。

【0023】

図5は、本実施形態における図4に示したオペアンプ21の内部の回路を示す図である。本実施形態のオペアンプ31は、オペアンプ40aと40bとを有し、それぞれのオペアンプ内で正信号41と負信号42の差を取り、それぞれ参照信号43と比較する。(正信号41) - (負信号42)の場合の差、または、(負信号42) - (正信号41)の場合の差のどちらかの場合が参照信号43をより小さいと、排他的論理和(Exclusive OR)45で反転が起こり、"High"を出力信号46に出力する。このため、容量12の電荷が溜まっていき、何度か連続するとインバータ13の閾値を超え、信号が反転される。

【0024】

図6は、本実施形態における図5のオペアンプ40a, 40bの内部の回路を示す図である。オペアンプ81にて正信号41と負信号42とを比較して差分を取り、その結果を信号線83に出力する。オペアンプ82にて信号83と参照信号43とを比較し、参照信号43を超えていたら出力バッファ63で増幅できる

信号と做して信号 8 4 に” H i g h ” を出力し、インバータ 8 5 で反転して” L o w ” を信号 4 4 に出力する。一方、オペアンプ 8 2 にて信号 8 3 と参照信号 4 3 とを比較して参照信号 4 3 より小さかったら出力バッファ 6 3 で増幅不可と做して信号 8 4 に” L o w ” を出力し、インバータ 8 5 で反転して” H i g h ” を信号 4 4 に出力する。

【 0 0 2 5 】

図 7 は、本実施形態によって、振幅の幅が大きくなることを説明するための図表である。本実施形態によってコントローラ 7 1 を付加することによって、配線 1 8 の電位はインバータ 1 3 の閾値を超えて配線 1 9 の信号がオフ (o f f) となる。これにより、NMOS トランジスタ 1 4 をオフにし、インテグレータ 6 2 の容量 1 5 を外す。この結果として、容量が軽くなるのでクロックエッジの立ち上がり速度は早くなり、クロックの振幅を回復させることができる。これによって、インテグレータが行う差動クロック信号の変化量が制御され、従来の振幅 (図中の実線及び破線) よりも大きな振幅 (一点鎖線) になり、これが出力バッファ 6 3 で増幅しきれない事態を回避することができる。従って、データ読取り回路でクロックとして認識されない事態を回避できる。一方、電位が変動してしまったためにデューティも崩れてしまう事態も回避することができる。以上のように、データ読取り回路のデータ読取りが正しく行われれないという事態を回避できるため、データ転送の際、データとのクロック位相の調整にて動作保証可能となる。

【 0 0 2 6 】

図 8 は、本発明に係るコントローラとインテグレータの第 2 の実施形態を示す回路図である。この実施形態におけるコントローラ 7 1 a は、図 4 と比較して、2 つのオペアンプ 2 1 a 及び 2 1 b を有している。このオペアンプ 2 1 a 及び 2 1 b は、各々異なるレファレンス信号 V_{ref1} 、 V_{ref2} を入力する。オペアンプ 2 1 a は信号 $I n t e g p$ 及び $I n t e g n$ との差分を取り、その差分の電位と信号 V_{ref1} と比較する。差分の電位が信号 V_{ref1} をよりも小さい場合には容量 1 2 a に所定の量の電荷が溜まる。一方、オペアンプ 2 1 b は信号 $I n t e g p$ 及び $I n t e g n$ との差分を取り、その差分の電位と信号 V_{ref2}

2と比較する。差分の電位が信号Vref2をよりも小さい場合には容量12bに所定の量の電荷が溜まる。各々異なるレファレンス信号を入力することで、異なる基準でNMOSトランジスタ14をオフにし、インテグレータ62の容量15を外すようにする。例えば、 $V_{ref1} > V_{ref2}$ として、Vref2が入力されるオペアンプ21bには容量を付加せずに1回の入力でインバータ13bが反転するようにしておく。また、容量15a及び15bと、容量15c及び15dとを異なるようにして、オフされた時に軽減される負荷を異なるようにしてもよい。これによって、クロックエッジの立ち上がりの速度この容量に応じて早くなり、クロックの振幅を回復させる程度を制御することができる。これによって、より細かい制御を行うことが出来る。

【0027】

図9は、本発明に係るコントローラとインテグレータの第3の実施形態を示す回路図である。このコントローラ71bは、信号Integp、信号Integn、及びVref1を入力するオペアンプ22aと、信号Integp、信号Integn、及びVref2を入力するオペアンプ22bと、オペアンプ22bが出力した信号を遅延させて出力する遅延回路25と、遅延回路の出力をクロック入力し、オペアンプ22aの出力を入力するフリップフロップ（FF）23と、遅延回路25の出力信号を反転して出力するインバータ26と、インバータの出力をクロック入力し、フリップフロップ23の出力を入力するフリップフロップ24と、フリップフロップ23及びフリップフロップ24の出力を入力し、これら信号は否定論理積を出力するNANDゲート27と、を有する。このコントローラ71bは、カウンタ回路とした場合の一例である。まず、オペアンプ22aは、信号線61a及び61bのIntegp、Integnを入力しこれらの差を参照信号Vref1と比較する。参照信号Vref1よりも小さかったらオペアンプ22aは配線33に出力する。一方、オペアンプ22bも同様に、信号Integp、Integnの差を参照信号Vref2と比較する。ここで、参照信号Vref2はクロック信号を必ず発生させるような電位に設定される。従って、オペアンプ22bの出力信号34はクロック信号が出力される。なお、オペアンプ22a及び22bの構造は、図5及び図6と同じものを用いることが出

来る。出力信号 3 4 は出力信号 3 3 が F F 2 3 取れるように遅延回路 2 5 によって少し遅らされる。クロック信号 3 5 で叩かれた信号 3 3 は次段の F F 2 4 に送られる。クロック信号 3 5 をインバータ 2 6 で反転させ、半クロックずれたクロック 3 6 が F F 2 4 を叩いて信号 3 8 を出力する。信号 3 7 と信号 3 8 を否定論理積ゲート (NAND) 2 7 に通して、信号 3 3 が H i g h となっている期間、つまり、電位の揺らぎがある程度ずれてしまっている場合にのみ、NAND 2 7 が信号 3 9 を L o w として、NMOS トランジスタ 2 8 を o f f にし、インテグレータ 6 2 の容量 2 9 a 及び 2 9 b を外す。この結果として、容量が軽くなるのでクロックエッジの立ち上がり速度は早くなり、クロックの振幅を回復させることができる。本実施形態ではフリップフロップを 2 段にすることによって、2 回以上参照信号 3 1 を超えないとスイッチは動かないようになっているが、これに限られることなく、3 段、4 段とすることで 3 回以上のスイッチを実施することは可能である。このように、図 9 のような構成にすることで、スイッチの回数を定義することができる。すなわち、信号線 6 1 a 及び 6 1 b の信号 I n t e g p 及び I n t e g n の電圧が V r e f 1 を下回った回数が 2 回発生した際には NMOS トランジスタ 2 8 a, 2 8 b がオフになるようにすることが出来る。このように信号 I n t e g p 及び I n t e g n の電圧が V r e f 1 を下回った回数で NMOS トランジスタ 2 8 a, 2 8 b がオフになるようすることができる。

【 0 0 2 8 】

図 1 0 は、本実施形態のインテグレータの他の例である。インテグレータ 6 1 の容量を完全にスイッチするのではなく、半分だけにする例である。容量の一部 1 5 e を NMOS トランジスタ 1 4 e でスイッチできるようにしておき、残りの容量 1 4 f を固定にしておく。NMOS トランジスタ 1 4 e によってスイッチされても、容量 1 5 f だけは残り、信号 6 1 のクロックエッジの立ち上がりを抑えることができる。

【 0 0 2 9 】

本実施形態では一つのスイッチ切り替えでしか説明していないが、参照信号をもっと細かく増やし、スイッチも数段つければ、もっと細かい容量の調整が可能である。また、信号 6 1 の電位差に応じて、アナログ的にスイッチ用の電位をコ

ントロールして、容量をアナログ的にコントロールすることも可能である。

【 0 0 3 0 】

以上説明してきたように、本実施形態の位相補正回路及び受信装置によれば、位相補正回路内において、ミキサより出力された信号の電位をコントローラでチェックし、出力バッファで増幅できる電位レベルか否かを判断してインテグレータの容量を変化させる。容量を変化させることによって、クロックエッジの立ち上がり速度をコントロールして出力バッファで増幅できるレベルの電位までクロックの振幅を回復させることができる。その結果として正確なクロックが送られ、データ読取り回路で正しくデータを打ち抜き、受信器の正常な動作が保証できる。

【 0 0 3 1 】

【発明の効果】

以上説明したように、本発明によれば、データ転送の際、データとのクロック位相の調整にて動作保証可能な位相補正回路及び受信回路を提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係る受信装置の実施形態を示すブロック図である。

【図 2】

本実施形態の位相補正回路 7 の概略図である。

【図 3】

本実施形態の出力回路 5.3 を示す図である。

【図 4】

本発明に係るコントローラ 7 1 とインテグレータ 6 2 の第 1 の実施形態を示す回路図である。

【図 5】

本実施形態における図 4 に示したオペアンプ 2 1 の内部の回路を示す図である。

【図 6】

本実施形態における図 5 のオペアンプ 4 0 の内部の回路を示す図である。

【図 7】

本実施形態によって、振幅の幅が大きくなることを説明するための図表である。

【図 8】

本発明に係るコントローラとインテグレータの第 2 の実施形態を示す回路図である。

【図 9】

本発明に係るコントローラとインテグレータの第 3 の実施形態を示す回路図である。

【図 1 0】

本実施形態のインテグレータの他の例である。

【図 1 1】

高速入出力装置（高速 I / O 装置とも記す）を示すブロック図である。

【図 1 2】

データ読取り回路が入力するシリアルデータ 2' と位相補正回路がデータ読取り回路へ出力する 4 相クロック 9 を示すタイミングチャートである。

【図 1 3】

クロック `Reclock_InIP91` とクロック `Reclock_InIN93` のデューティ比 (Duty ratio) が 50 : 50 からずれてしまった場合のタイミングチャートである。

【図 1 4】

従来技術の出力回路 5 3 の概略を示すブロック図である。

【図 1 5】

電位変動の起きた信号 6 1 の様子を示す図表である。

【符号の説明】

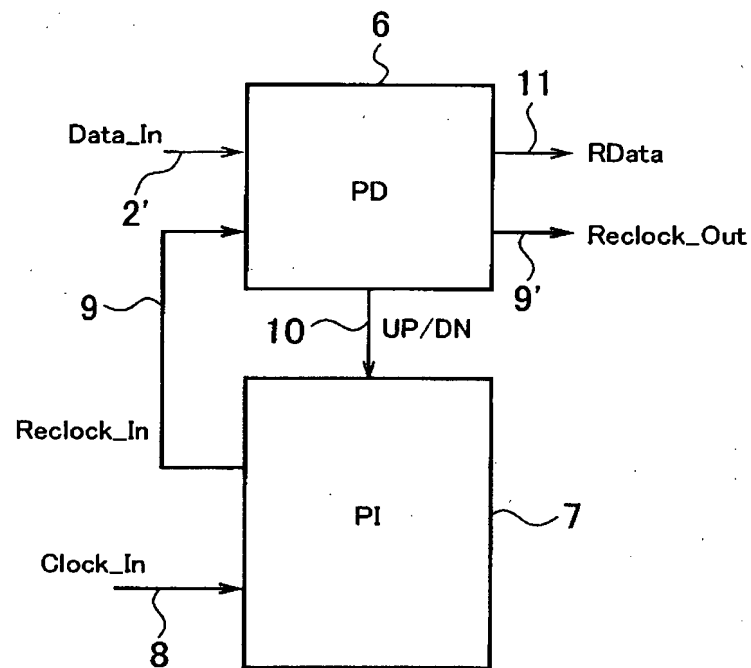
- 1, 3 パラレルデータ
- 2, 2' シリアルデータ (CML)
- 4 送信器

- 5 受信器
- 6 データ読取り回路
- 7 位相補正回路
- 8 4相 ($0, \pi/2, \pi, 3\pi/4$) の入力クロック
- 9, 9' データと位相を合わせた4 Phaseクロック
- 10 位相情報信号
- 11 受信器内のクロックと同期したデータ
- 12 容量
- 13 インバータ
- 14 a, 14 b, 14 c, 14 d, 14 e, 28 a, 28 b NMOSトランジスタ
- 15, 15 a, 15 b, 15 c, 15 d, 15 e, 15 f, 29 a, 29 b インテグレータ容量
- 17 参照信号
- 18 オペアンプ出力信号
- 19, 19 a, 19 b インバータ出力信号
- 21, 21 a, 21 b, 22 a, 22 b オペアンプ
- 23, 24 FF (フリップフロップ)
- 25 遅延回路
- 26 インバータ
- 27 NAND
- 31, 32 参照信号
- 33 オペアンプ22 aの出力信号
- 34 オペアンプ22 bの出力信号
- 35 遅延回路25の出力のクロック信号
- 36 クロック
- 37 FF24の出力信号
- 38 FF25の出力信号
- 39 NAND27の出力信号

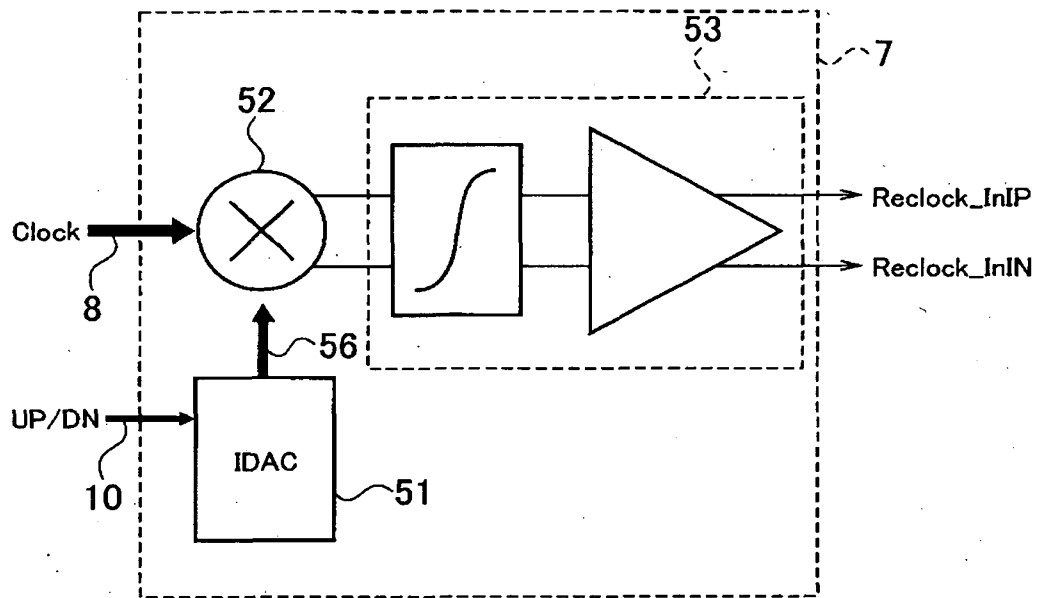
- 4 0, 4 0 a, 4 0 b オペアンプ
- 4 1, 4 2, 4 3 オペアンプ入力信号
- 4 4 a, 4 4 b オペアンプ 4 0 a, 4 0 b の出力信号
- 4 5 EXOR
- 4 6 オペアンプの 2 1 の出力信号
- 5 1 IDAC コントローラ
- 5 2 ミキサ
- 5 3 出力回路
- 5 6 電流信号
- 6 1, 6 1', 6 1 a, 6 1 b 出力信号
- 6 2, 6 2 a, 6 2 b, 6 2 c インテグレータ
- 6 3 出力バッファ
- 6 4 デューティ補正回路
- 6 5 バッファ出力信号
- 7 1 コントローラ
- 8 1, 8 2 オペアンプ
- 8 3 オペアンプ 8 1 の出力信号
- 8 4 オペアンプ 8 2 の出力信号
- 8 5 インバータ
- 9 1 データと位相を合わせた 0 度のクロック
- 9 3 データと位相を合わせた 1 8 0 度のクロック

【書類名】 図面

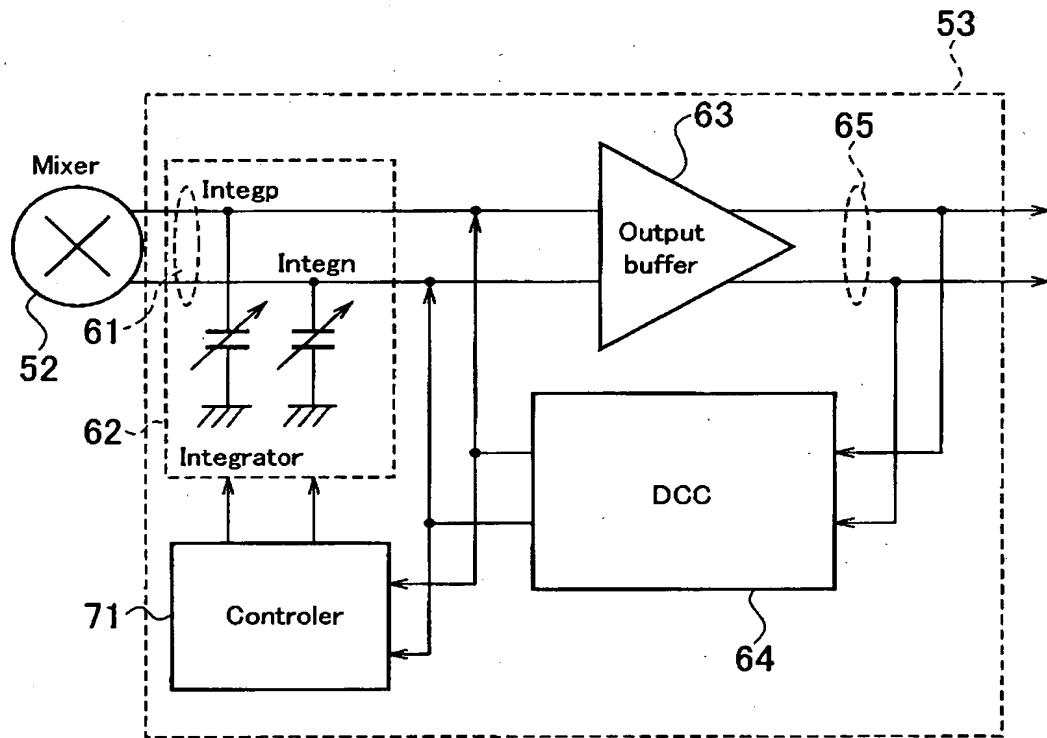
【図 1】



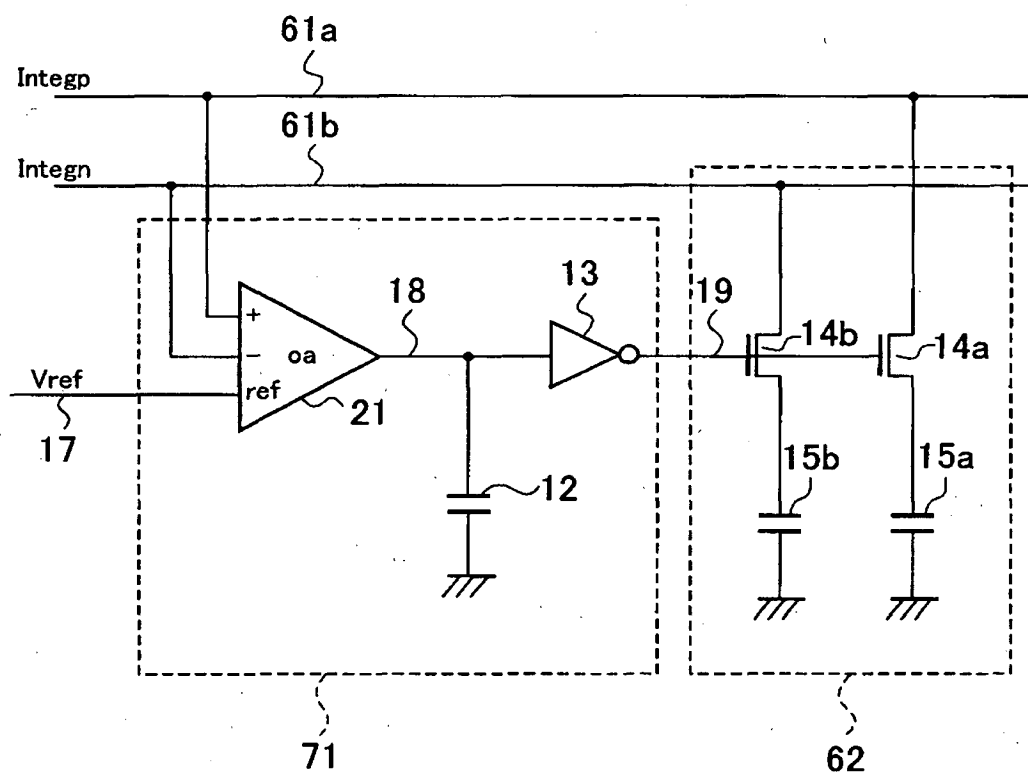
【図 2】



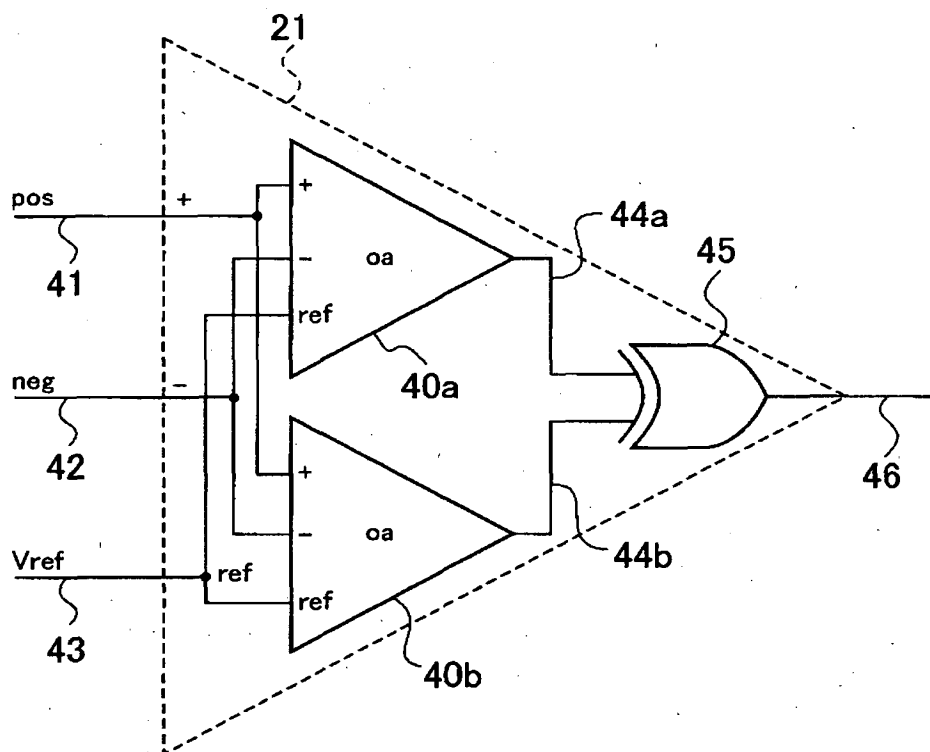
【図3】



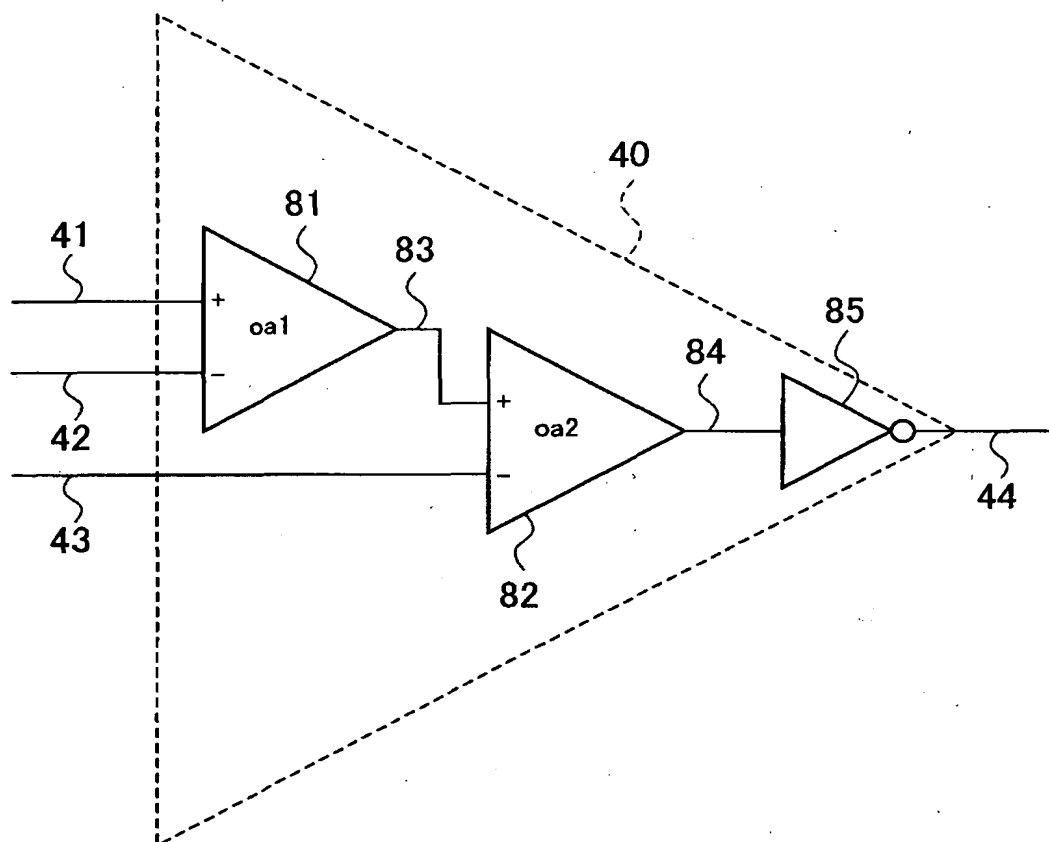
【図 4】



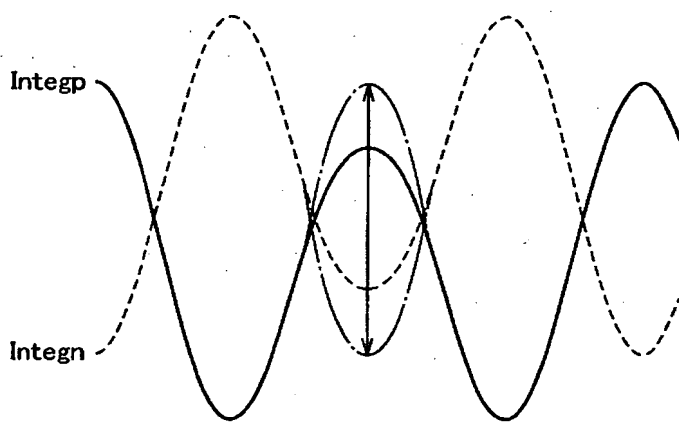
【図 5】



【図 6】

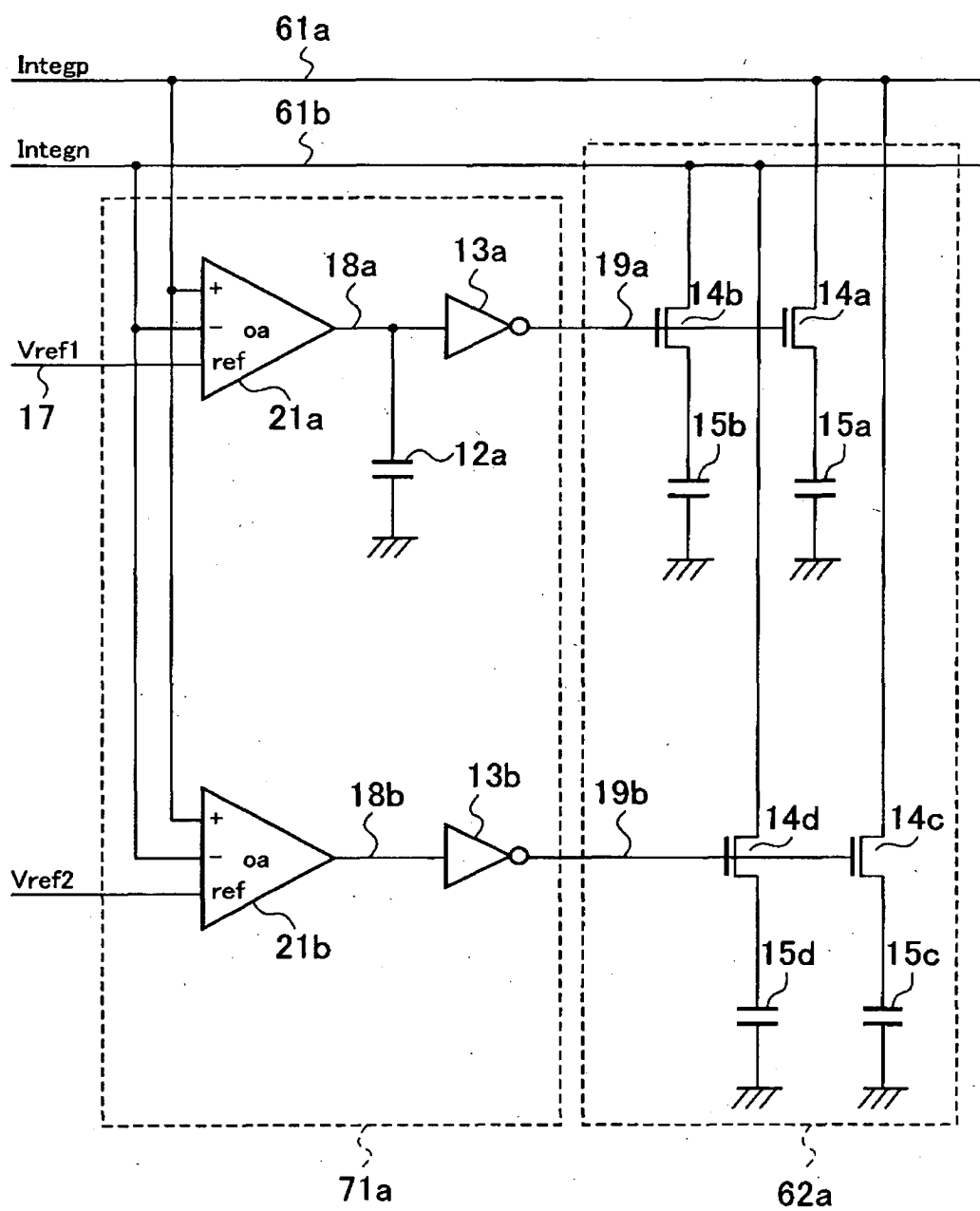


【図 7】

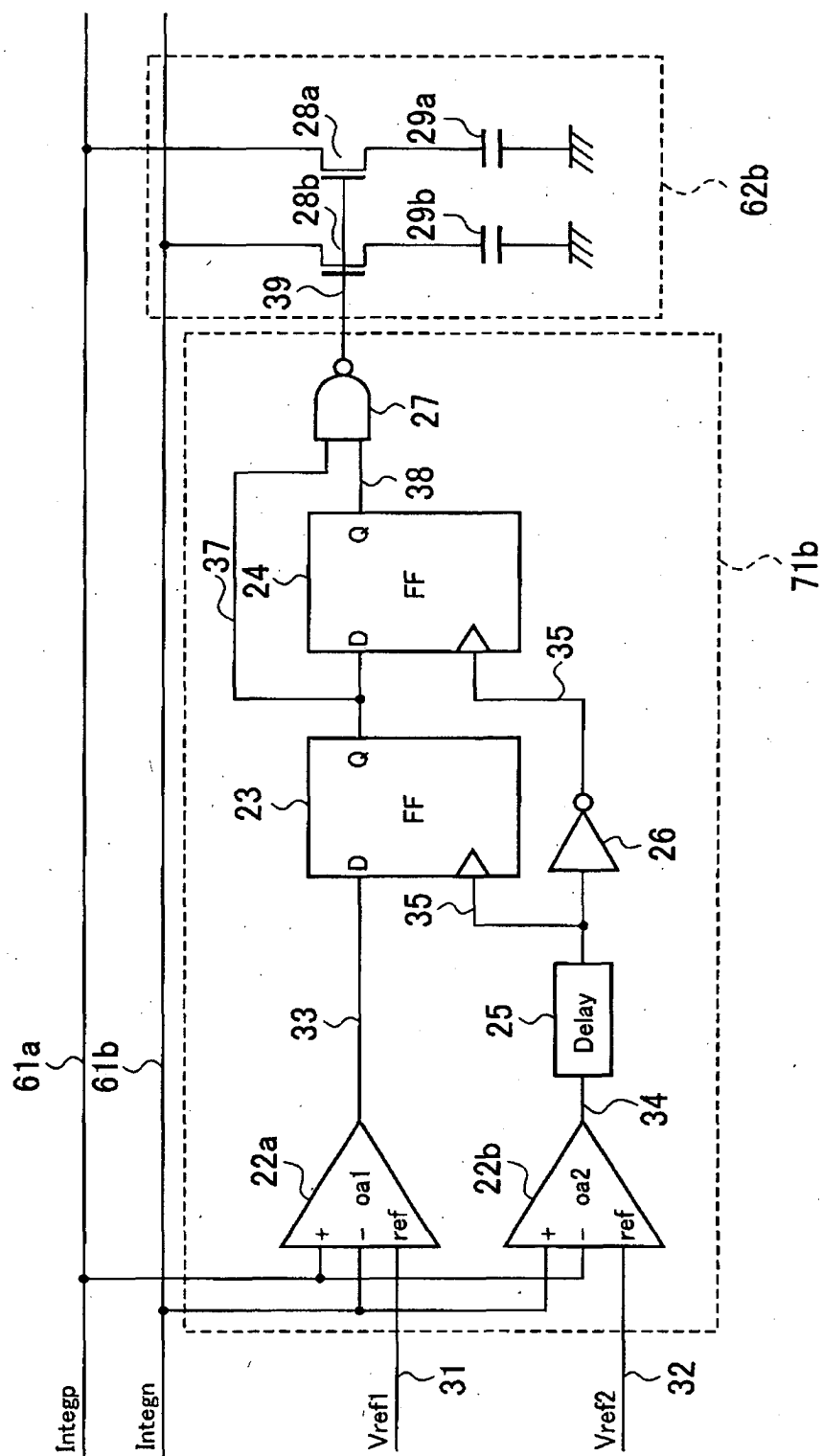


————— } 従来例
 - - - - -
 ————— } 実施形態

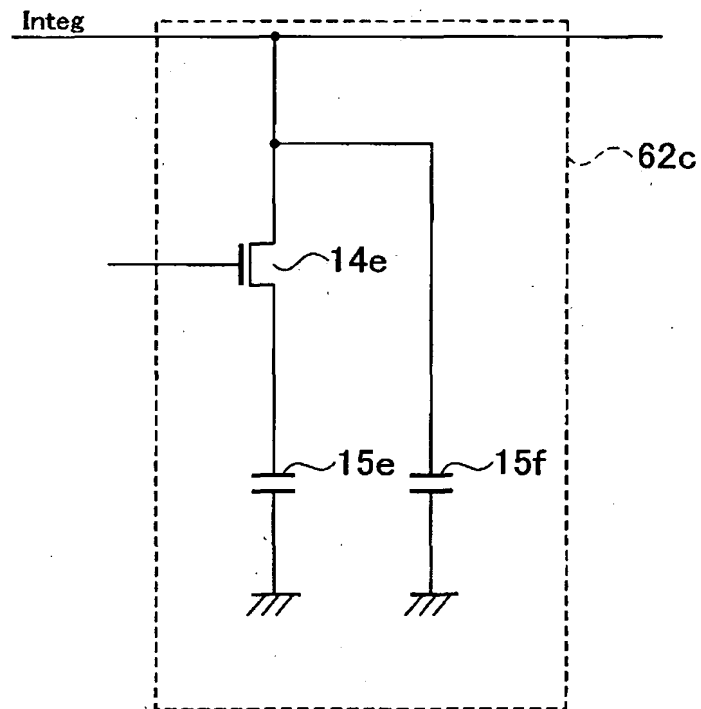
【図 8】



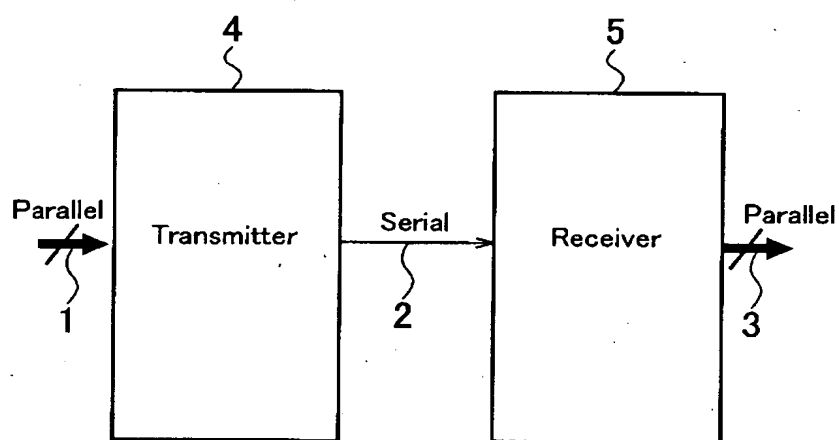
【图9】



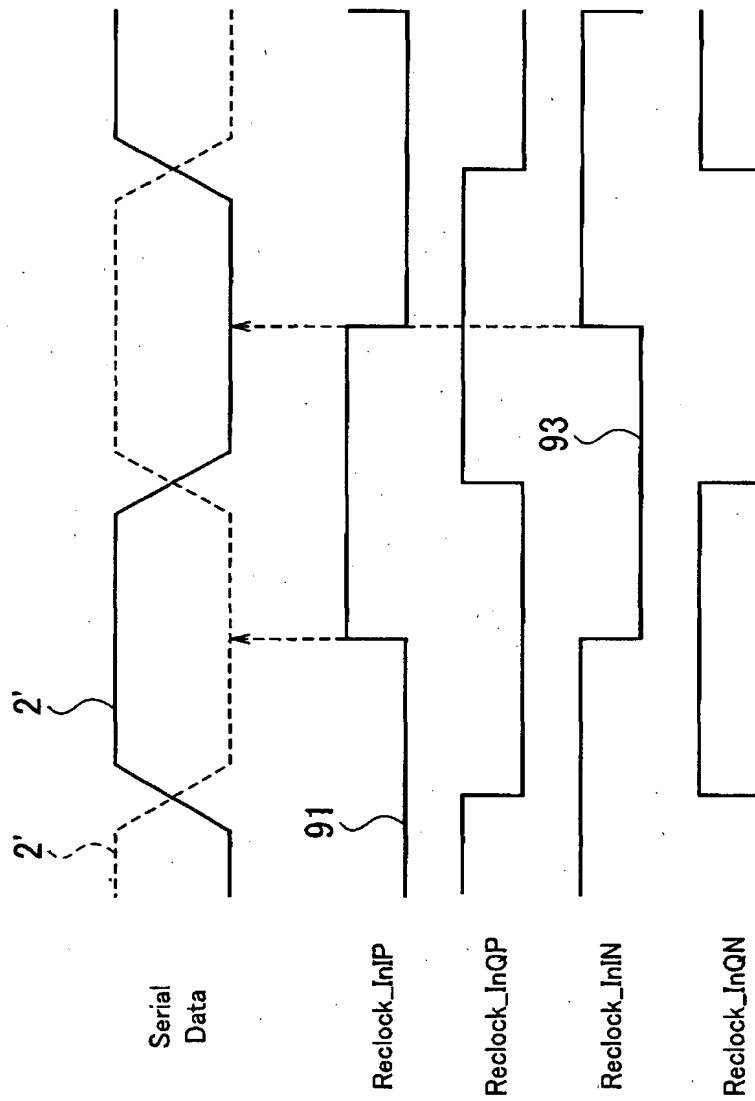
【図 1 0】



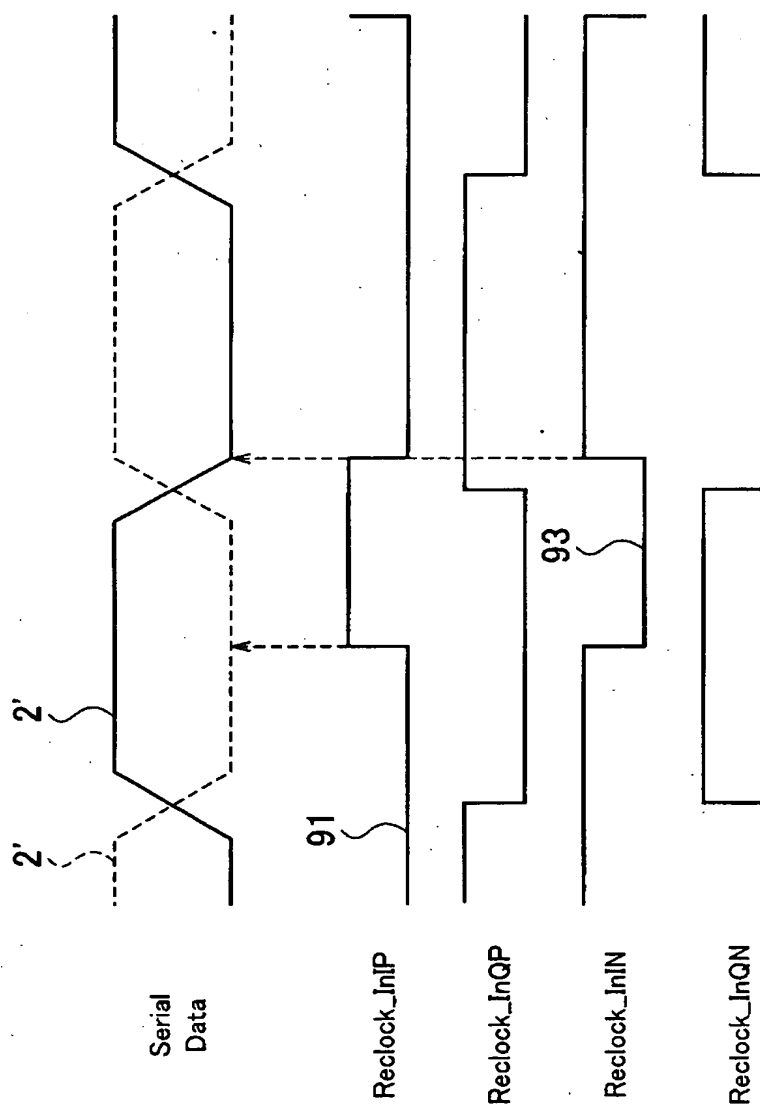
【図 1 1】



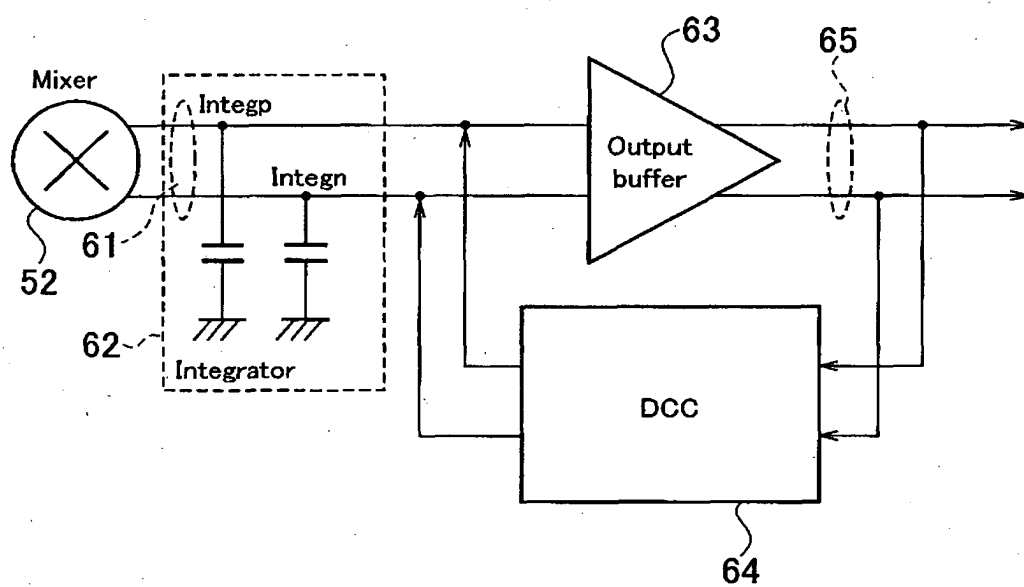
【図 12】



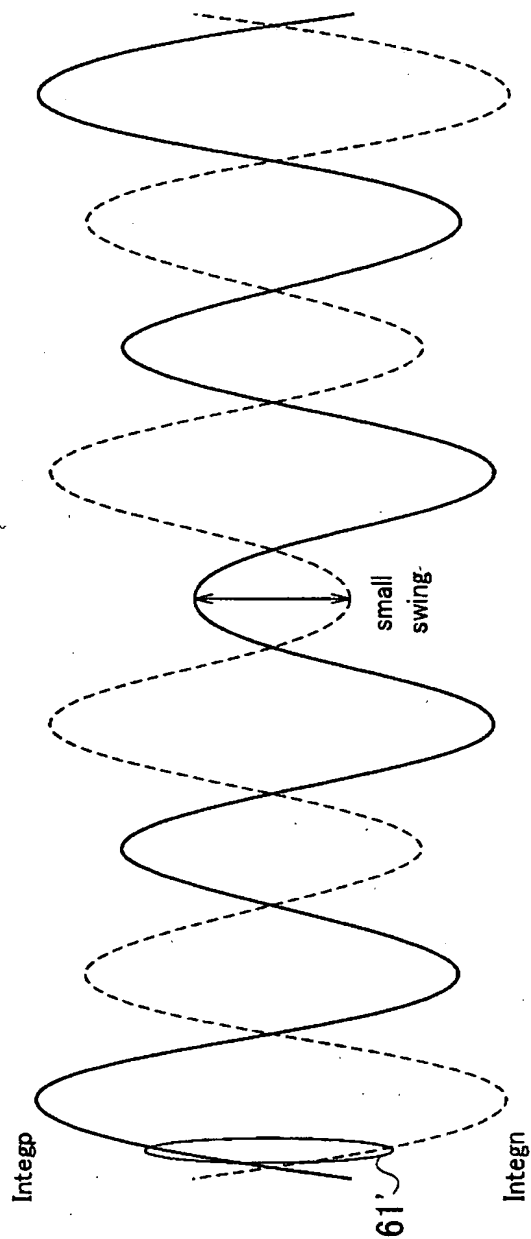
【図 13】



【図 1 4】



【図 15】



【書類名】 要約書

【要約】

【課題】 データ転送の際、データとのクロック位相の調整にて動作保証可能とすることである。

【解決手段】 データとの位相が調整された差動クロック信号を入力し、この差動クロック信号を変形して出力するインテグレータ62と、インテグレータ62に出力された信号を増幅する出力バッファ63と、出力バッファ63にて増幅された信号を入力し、その信号の位相を調整して出力バッファ63にフィードバックして出力するデューティ補正回路64と、差動クロック信号の差分の振幅が所定の量以下になった場合には、インテグレータが行う前記差動クロック信号の変形量を制御するコントロール回路71と、を有するようしてある。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝